

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2767625号

(45) 発行日 平成10年(1998) 6月18日

(24) 登録日 平成10年(1998) 4月10日

(51) Int.Cl.⁶

G 0 6 F 9/44

識別記号

5 5 4

F I

G 0 6 F 9/44

5 5 4 C

請求項の数3 (全 9 頁)

(21) 出願番号 特願平1-264051

(22) 出願日 平成1年(1989)10月12日

(65) 公開番号 特開平3-126132

(43) 公開日 平成3年(1991)5月29日

審査請求日 平成8年(1996)6月10日

(73) 特許権者 999999999

オムロン株式会社

京都府京都市右京区花園土堂町10番地

(72) 発明者 久野 敦司

京都府京都市右京区花園土堂町10番地

立石電機株式会社内

(74) 代理人 弁理士 牛久 健司

審査官 川崎 優

(58) 調査した分野(Int.Cl.⁶, D B名)

G06F 9/44

G05B 13/02

(54) 【発明の名称】 ファジィ推論装置およびその動作方法

1

(57) 【特許請求の範囲】

【請求項1】 所定数以下の入力変数をもつルール of ファジィ推論が実行可能な複数個の個別推論手段、入力変数の数が上記所定数を超過しているルールを分解することにより作成された新ルールにしたがうファジィ推論を実行する複数個の個別推論手段の推論結果から元のルールの推論結果を導く結合演算手段、および元ルールの分解により作成された新ルールにしたがうファジィ推論を実行する個別推論手段以外の個別推論手段の推論結果と上記結合演算手段の演算結果とを総合する総合演算手段、を備えたファジィ推論装置。

【請求項2】 設定された各ルールについてその前件部における入力変数の数が上記所定数を超過しているかどうかを判定する手段、および

2

入力変数の数が上記所定数を超過しているルールについてはそれを分解することにより、入力変数の数が上記所定数以内でかつ元のルールと同一の後件部をもつ新たな複数のルールを作成する手段、をさらに備えた請求項(1)に記載のファジィ推論装置。

【請求項3】 設定された各ルールについてその前件部における入力変数の数が上記所定数を超過しているかどうかをチェックし、

10 入力変数の数が上記所定数を超過しているルールについてはそれを分解することにより、入力変数の数が上記所定数以内でかつ元のルールと同一の後件部をもつ新たな複数のルールを作成し、この作成した新たなルールにしたがって上記個別推論手段、結合演算手段および総合演算手段を動作させるよう

制御する，
請求項（ 1 ）に記載のファジィ推論装置の動作方法。

【発明の詳細な説明】

発明の背景

この発明はファジィ推論装置およびその動作方法に関する。

従来のファジィ推論装置においては、適用可能なファジィ推論ルールの前件部における入力変数の種類数の最大値がそのアーキテクチャによって定まっていた。したがって、多数種類の入力変数をもつルールにしたがう推論を実行できないという問題があった。

発明の概要

この発明はルールの前件部における入力変数の数が多くてもファジィ推論実行可能なファジィ推論装置およびその動作方法を提供することを目的とする。

この発明によるファジィ推論装置は、所定数以下の入力変数をもつルールのファジィ推論が実行可能な複数個の個別推論手段、入力変数の数が上記所定数を超えているルールを分解することにより作成された新ルールにしたがうファジィ推論を実行する複数個の個別推論手段の推論結果から元のルールの推論結果を導く結合演算手段、および元ルールの分解により作成された新ルールにしたがうファジィ推論を実行する個別推論手段以外の個別推論手段の推論結果と上記結合演算手段の演算結果とを総合する総合演算手段を備えていることを特徴とする。

この発明によるファジィ推論装置の動作方法は、推定された各ルールについてその前件部における入力変数の数が上記所定数を超えているかどうかをチェックし、入力変数の数が上記所定数を超えているルールについてはそれを分解することにより、入力変数の数が上記所定数以内でかつ元のルールと同一の後件部をもつ新たな複数のルールを作成し、この作成した新たなルールにしたがって上記個別推論手段、結合演算手段および総合演算手段を動作させるよう制御することを特徴とする。

この発明によると、多数種類の入力変数を前件部にもつルールが設定されたときには、これをファジィ推論装置で取扱い可能な数の入力変数をもつ複数のルールに分解し、分解されたルールごとにファジィ推論演算を行ないかつその結果を結合させるようにしているので、複雑なルールであってもこれを処理することができるようになる。

実施例の説明

第 1 図はこの発明によるファジィ推論装置の実施例を示している。

ファジィ推論装置は N 個の個別推論ユニット $R_1 \sim R_N$ を含んでいる。これらの個別推論ユニット R_i ($i = 1 \sim N$) の具体的構成例が第 2 図に示されている。個別推論ユニット R_i は、原則的に、1つのファジィ推論ルールについての推論演算を行なうものである。後に明らかに

なるようにこれらの個別推論ユニット R_i はその複数個を用いて 1 つのルールの推論演算を行なうように編成される。

まず個別推論ユニット R_i の構成および動作を、それぞれが 1 つのルールの推論演算を行なう態様において説明しておく。簡単のために前件部に入力変数の種類が 3 個の場合について述べる。ファジィ推論のためのルールは次のように If, then 形式で表現される。

$$\text{If } A_{i1} = L_{i1}, A_{i2} = L_{i2}, A_{i3} = L_{i3} \text{ then } y = M_i \dots (1)$$

ここで $A_{i1} \sim A_{i3}$ は入力変数, y は出力変数, $L_{i1} \sim L_{i3}$ は各入力変数に対応する前件部のファジィ集合またはメンバーシップ関数, M_i は出力変数に対応する後件部のファジィ集合またはメンバーシップ関数である。

第 2 図および第 3 図を参照して、入力 $A_{i1} \sim A_{i3}$ (これらを A_{i1} で総括する) はメンバーシップ関数回路 (以下 MFC という) 41 ~ 43 にそれぞれ与えられる。MFC 41, 42, 43 には前件部のメンバーシップ関数 L_{i1}, L_{i2}, L_{i3} がそれぞれ設定されており、MFC 41, 42, 43 は入力 A_{i1}, A_{i2}, A_{i3} にそれぞれ対応するメンバーシップ関数 L_{i1}, L_{i2}, L_{i3} の関数値 (グレード) a_{i1}, a_{i2}, a_{i3} を表わす信号をそれぞれ出力する。これらのグレード $a_{i1} \sim a_{i3}$ を表わす信号は MIN 回路 44 に入力し、それらのうち最小のもの (ここでは a_{i3}) が MIN 回路 44 で選択されてトランケーション回路 46 に与えられる。

一方、メンバーシップ関数発生回路 (以下 MFG という) 45 には後件部のメンバーシップ関数 M_i が設定されている。この実施例ではメンバーシップ関数 M_i は多数本 (たとえば 32 本) のライン上における電圧分布として表現され、MFG 45 はこのような電圧分布を発生するものである (特開昭 63-123177 号公報参照) 。図面においてはメンバーシップ関数を表わす電圧分布を構成する各電圧の伝送ラインの集合がハッチングされたバス表現で示されている。メンバーシップ関数 M_i を表わす電圧分布はトランケーション回路 46 に与えられ、MIN 回路 44 の出力 a_{i3} との間で MIN 演算された。トランケーション回路 46 の出力 B_i (第 3 図にハッチングで示された台形状のメンバーシップ関数) が個別推論ユニット R_i の出力となる。

以上のように個別推論ユニット R_i は 1 つの推論ルールについての推論演算を行ない、その結果 B_i を出力する。一般にファジィ制御を含むファジィ推論の応用においては複数個のルールが設定されるのでこれらのルールについてのファジィ推論演算が個別推論ユニット $R_1 \sim R_N$ でそれぞれ実行される。第 1 図に戻って、複数個のルールが相互に独立であるならば、個別推論ユニット $R_1 \sim R_N$ の出力 $B_1 \sim B_N$ はそのままゲート回路 11 を通って (ゲート回路 11 の出力を $F_1 \sim F_N$ で表わす) 、コンスポンディング MAX 回路 (以下 CMAX 回路 という) 12 に与えられる。CMAX 回路 12 は入力する複数のライン群の信号を対

10

20

30

40

50

応するラインごとにMAX演算するものである（上記公開公報参照）。CMAX回路12の出力Eが複数のルールについて総合化された推論結果を表わす（第3図参照）。総合推論結果Eは必要ならばデファジファイア13において、たとえば重心演算により非ファジィ化されて出力される（出力 y_w ）。

個別推論ユニット R_i は上述のように前件部の入力変数の種類数が3個以下のルールの推論演算を実行するものである。第1図に示すファジィ推論装置においては、前件部の入力変数の種類数が4個以上のルールの推論演算も可能となるように、1つのルールに対して複数の個別推論ユニットが編成される。

今、下記のように9種類の入力変数を前件部にもつルールを考える。

If $A_{11} = L_{11}, A_{12} = L_{12}, A_{13} = L_{13},$
 $A_{21} = L_{21}, A_{22} = L_{22}, A_{23} = L_{23},$
 $A_{31} = L_{31}, A_{32} = L_{32}, A_{33} = L_{33}$
 then $y = B \dots$ (2)

第(2)式はファジィ推論ルールの展開規則を用いて第(3)式~第(5)式のように展開可能である。

If $A_{11} = L_{11}, A_{12} = L_{12}, A_{13} = L_{13}$
 then $y = B \dots$ (3)

If $A_{21} = L_{21}, A_{22} = L_{22}, A_{23} = L_{23}$
 then $y = B \dots$ (4)

If $A_{31} = L_{31}, A_{32} = L_{32}, A_{33} = L_{33}$
 then $y = B \dots$ (5)

展開規則から明らかなように、第(3)式から第(5)式のルールの推論結果はMIN演算により合成される。

第1図において、3個の個別推論ユニット R_1, R_2, R_3 を用いて第(2)式で表わされるルールにしたがう推論を実行させるものとする、ユニット R_1, R_2, R_3 はそれぞれ第(3), (4), (5)式で表わされるルールにしたがう推論を実行するように、それらのMFC, MFGのメンバーシップ関数が設定される。個別推論ユニット $R_1 \sim R_3$ の出力 $B_1 \sim B_3$ はゲート回路21を経てコレスポンディングMIN回路（以下CMIN回路という）31に与えられ、それらのMIN演算が行なわれる。MIN演算結果 D_1 はゲート回路11を経て（ゲート回路11の出力を G_1 で表わす）CMAX回路12に入力する。CMIN回路は入力する複数のライン群の信号を対応するラインごとにMIN演算するものである（上記公開公報参照）。

個別推論ユニット $R_1 \sim R_3$ の出力 $B_1 \sim B_3$ に対してゲート回路11は非接続状態となっており、ゲート回路11の対応する出力 $F_1 \sim F_3$ をオール・ゼロ（最小値を意味する）として出力する。出力 $B_1 \sim B_3$ を除く出力 $B_4 \sim B_N$ および D_1 がゲート11を通してCMAX回路12に与えられることになる。また、ゲート回路21は入力 $B_1 \sim B_3$ のみの通過を許し（ゲート回路21の対応する出力を $C_1 \sim C_3$ とする）、他の入力 $B_4 \sim B_N$ については非接続状態とし、

かつそれらに対応する出力 $C_4 \sim C_N$ をすべて電源電圧 V_{cc} （最大値を意味する）として出力する。

ゲート回路21とCMIN回路31以外に、ゲート回路とCMIN回路の組合せが符号22, 32で示すように1または複数個設けられている。そして、前件部に4個以上の入力変数をもつルールがさらに存在すれば、同じように複数の個別推論ユニットとゲート回路とCMIN回路の組合せによってそのルールにしたがう推論演算が行なわれることになる。

10 ルールの前件部における入力変数の種類数が4~6の場合には2個の個別推論ユニットが、7~9個の場合には3個の個別推論ユニットが、以下同じように入力変数の種類数に応じた数の個別推論ユニットが上述のように編成されることになる。そして、個別推論ユニットの編成に応じてゲート11, 21, 22の制御が行なわれることになる。

コンピュータ・システム10はファジィ推論装置の動作を設定されたルールを演算処理するように制御するもので、入力変数を4種類以上含むルールが存在する場合における個別推論ユニットの編成、各個別推論ユニットのMFCおよびMFGへのルールにしたがうメンバーシップ関数の設定、ゲート11, 21, 22の制御等を行なう。

第4図はゲート回路21の構成例を示している。個別推論ユニット R_i の出力 B_i は32本の信号ライン上における電圧分布として表わされる。出力 $B_1 \sim B_N$ に対して切替スイッチ群31~3Nが設けられている。各切替スイッチ群には32個の切替スイッチが含まれており、パスを経てコンピュータ・システム10から与えられ、レジスタ30に一時記憶されたデータ d_i ($i = 1 \sim N$)によって制御される。たとえばデータ d_i が1の場合には切替スイッチ群31の切替スイッチは入力 $B_{i01} \sim B_{i32}$ をそのまま出力 $C_{i01} \sim C_{i32}$ として出力するように左側に接続され、データ d_i が0の場合には電源電圧 V_{cc} を出力 $C_{i01} \sim C_{i32}$ として出力するように右側に接続される。

上記実施例では個別推論ユニットとしてアナログ・タイプの回路を用いているが、デジタル・タイプの回路を用いることができるのはいうまでもない。

次にコンピュータ・システム10による制御処理について説明する。

40 第(2)式に示すように設定されたルールに4個以上の入力変数が含まれているときには個別推論ユニットの編成が必要である。そこでコンピュータ・システム10は与えられたルールを第(3)~(5)式のように展開する処理を行なう。第6図は与えられた（設定された）ルールを、第7図はルール展開の様子を、第8図は最終的に得られた新ルールを、第9図はルール展開処理手順をそれぞれ示している。

設定されたルールは、そのデータが第6図に示すような形で、磁気ディスク、半導体メモリ、その他の記憶装置に記憶されている。第6図において設定ルール番号

7

(I) のルール・データは次のような If, then ルールを表わしている。

If $x_{11} = L_{11}, x_{12} = L_{12}, x_{13} = L_{13},$
 $x_{14} = L_{14}, x_{15} = L_{15}, x_{16} = L_{16},$
 $x_{17} = L_{17}, x_{18} = L_{18}$

then $y_1 = K_1 \dots (6)$

混乱を避けるために第(6)式では第(2)式と異なる記号が用いられている。 $x_{11} \sim x_{18}$ は入力変数を表わすコード、 $L_{11} \sim L_{18}$ は前件部のメンバーシップ関数を表わすコード、 y_1 は出力変数を表わすコード、 K_1 は後件部のメンバーシップ関数を表わすコードである。

第6図に示すように設定されたルールには入力変数の種類数が多いものと少ないものがある。一方、上述のようにファジィ推論装置のアーキテクチャ上の制約からルールの前件部における入力変数の種類は3以下でなければならない。そこで入力変数の種類数が4以上のルールについてはルールの展開が必要となる。

ルールの展開処理はコンピュータ・システム10内において次のように行なわれる。第9図を参照して記憶装置に記憶されている設定された1つのルールが取込まれ(ステップ51)、そのルールの前件部における入力変数の数が計数される。入力変数の種類数が4以上の場合には(ステップ52でN0)、ルールの前件部を入力変数の数が3個ずつまたはそれ以下のグループに分割する(ステップ53)。後件部には同じものが用いられる。たとえば第(6)式で表わされる設定ルール番号(I)のルールについては次の3つの新ルールが作成される。

If $x_{11} = L_{11}, x_{12} = L_{12}, x_{13} = L_{13}$

then $y_1 = K_1 \dots (7)$

If $x_{14} = L_{14}, x_{15} = L_{15}, x_{16} = L_{16}$

then $y_1 = K_1 \dots (8)$

If $x_{17} = L_{17}, x_{18} = L_{18}$

then $y_1 = K_1 \dots (9)$

第(9)式で表わされるように新ルールには前件部の入力変数が3未満のものがある。このような展開の様子と展開されたルール・データが第7図に示されている。

設定されたルールの前件部における入力変数の数が3以下の場合にはルールの展開は行なわれない(ステップ52でYES)。

最後に、ステップ53の処理によって展開された新ル-

8

ルには制御コード1が割当てられ、ルールの展開が行なわれなかったものについては制御コード0が割当てられる(ステップ54)。

以上の処理が記憶装置内のすべての設定ルールについて行なわれ(ステップ55)、第8図に示すような新ルール・データが作成される。

このような新ルール・データに基づいて、個別推論ユニット $R_1 \sim R_N$ におけるMFC, MFGのメンバーシップ関数が設定されるのは上述した通りである。また、制御コードに基づいてゲート回路11, 21, 22の制御が行なわれる。すなわち、ゲート回路11は制御コード0のルールに基づく個別推論結果の通過を許す。またゲート回路21, 22等は、制御コードが1である新ルールのグループごとにその個別推論結果の通過を許すように制御される。

上記の例ではすべての入力変数に $x_{11} \sim x_{m3}$ までの異なる記号が用いられているが、これらの入力変数のうちで共通のものが多い。たとえば x_{11} と x_{21} と x_{j1} と x_{m1} は同じ入力変数 x_1 を表わしている場合が多い。

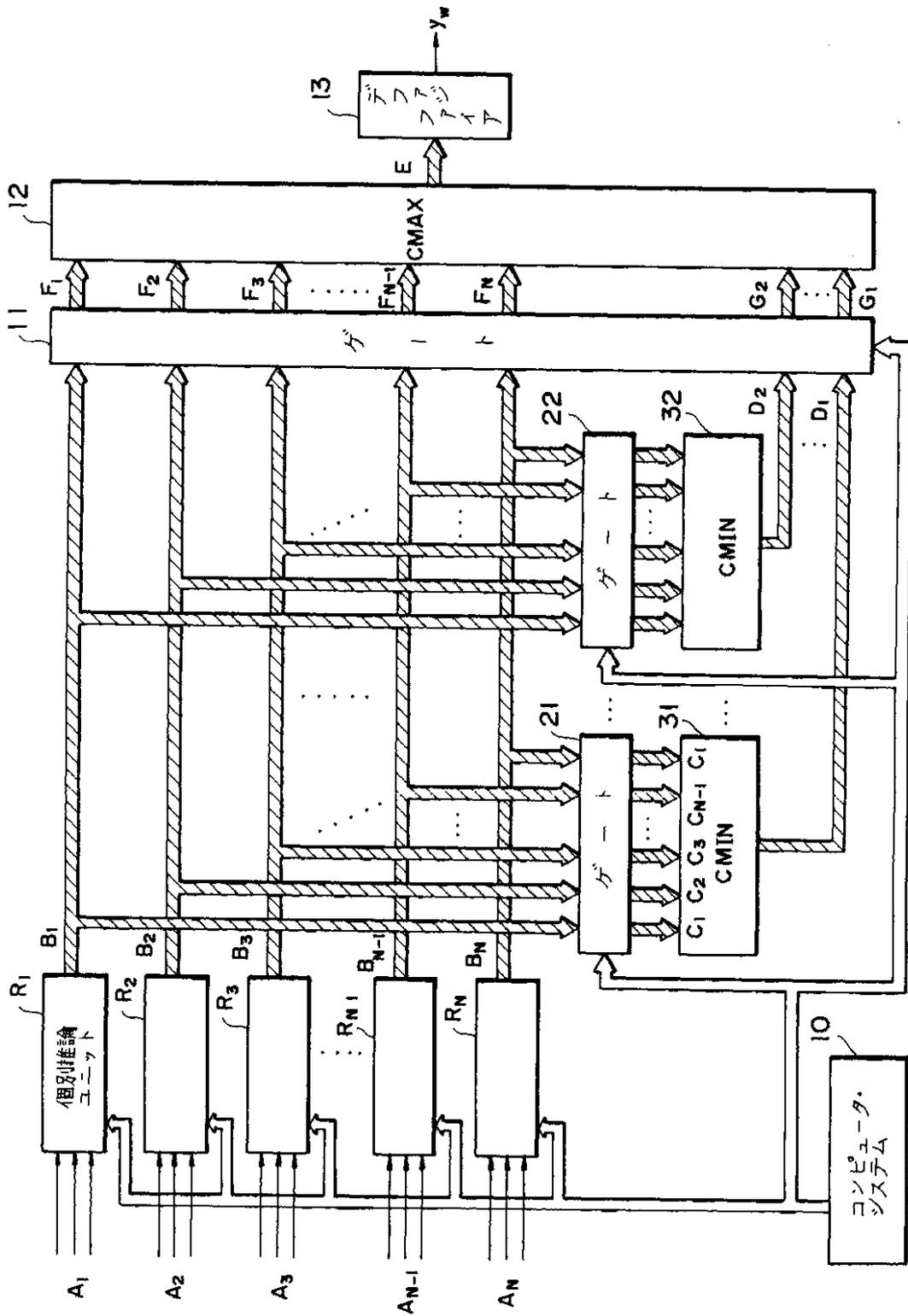
そこで第5図に示すように、個別推論ユニットの各MFC41, 42, 43の入力側にマルチプレクサ47, 48, 49を設け、第8図に示すルール・データに基づいて、すべての入力変数 $x_1 \sim x_1$ のうち対応する入力変数のみが入力するようにこれを制御するとよい。コンピュータ・システム10はルール・データに基づいて選択すべき入力変数を表わすコードを各マルチプレクサ47~49に付属するレジスタ47A~49Aに設定する。各マルチプレクサは設定された入力変数の入力を選択して対応するMFCに与える。

【図面の簡単な説明】

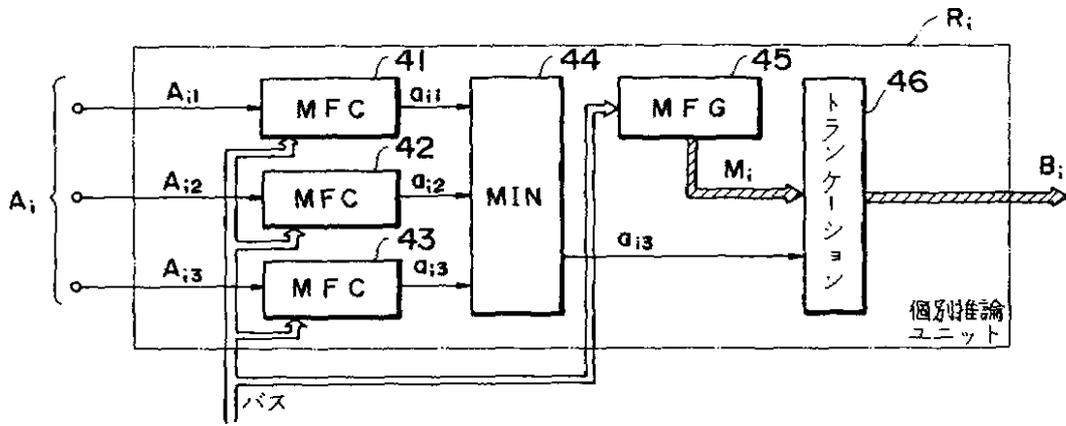
第1図はファジィ推論装置の全体の構成を示すブロック図、第2図は個別推論ユニットの構成例を示すブロック図、第3図はファジィ推論過程の説明図、第4図はゲート回路の例を示す回路図、第5図は個別推論ユニットに設けられた入力選択回路を示すブロック図、第6図は設定されたルール・データを示す図、第7図はルールの展開の様子を示す説明図、第8図は新ルール・データを示す図、第9図はルール展開の処理手順を示すフロー・チャートである。

$R_1 \sim R_N$ 個別推論ユニット, 10.....コンピュータ・システム, 11, 21, 22.....ゲート回路, 12.....CMAX回路, 31, 32.....CMIN回路, 47, 48, 49.....マルチプレクサ。

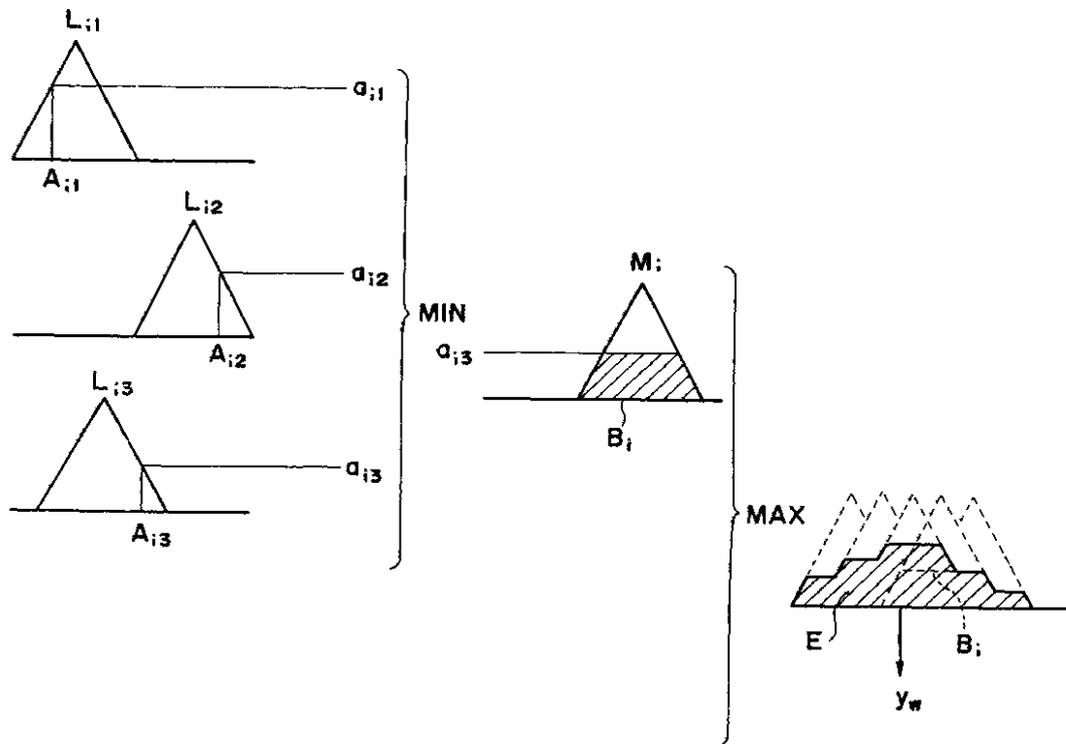
【第1図】



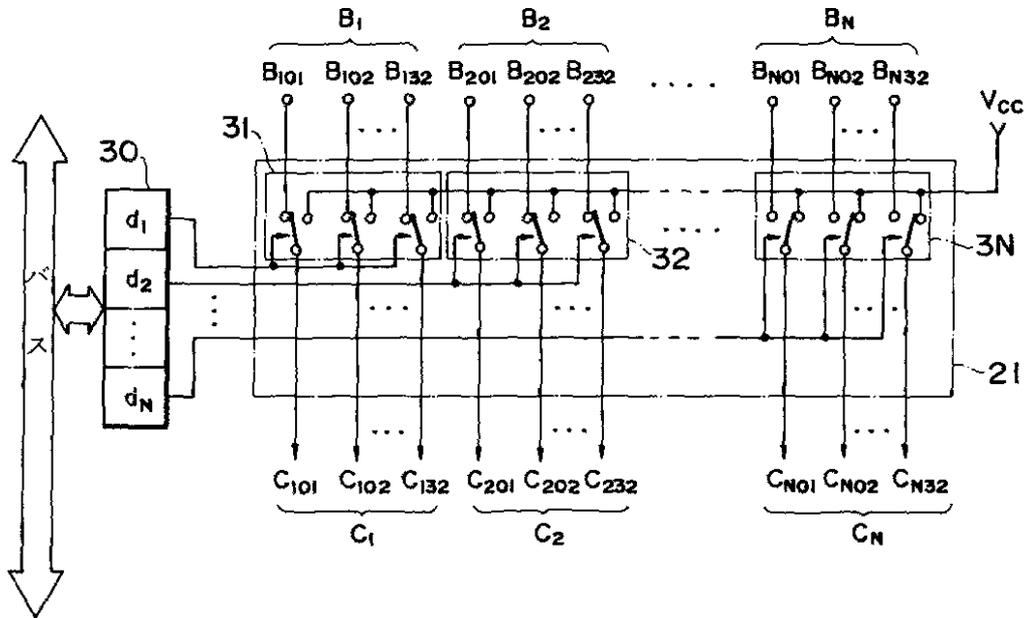
【第2図】



【第3図】



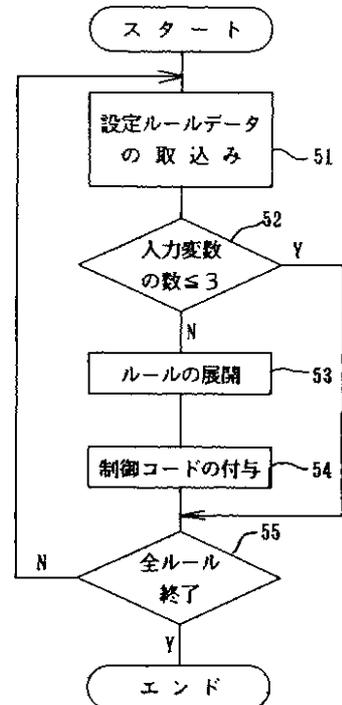
【第4図】



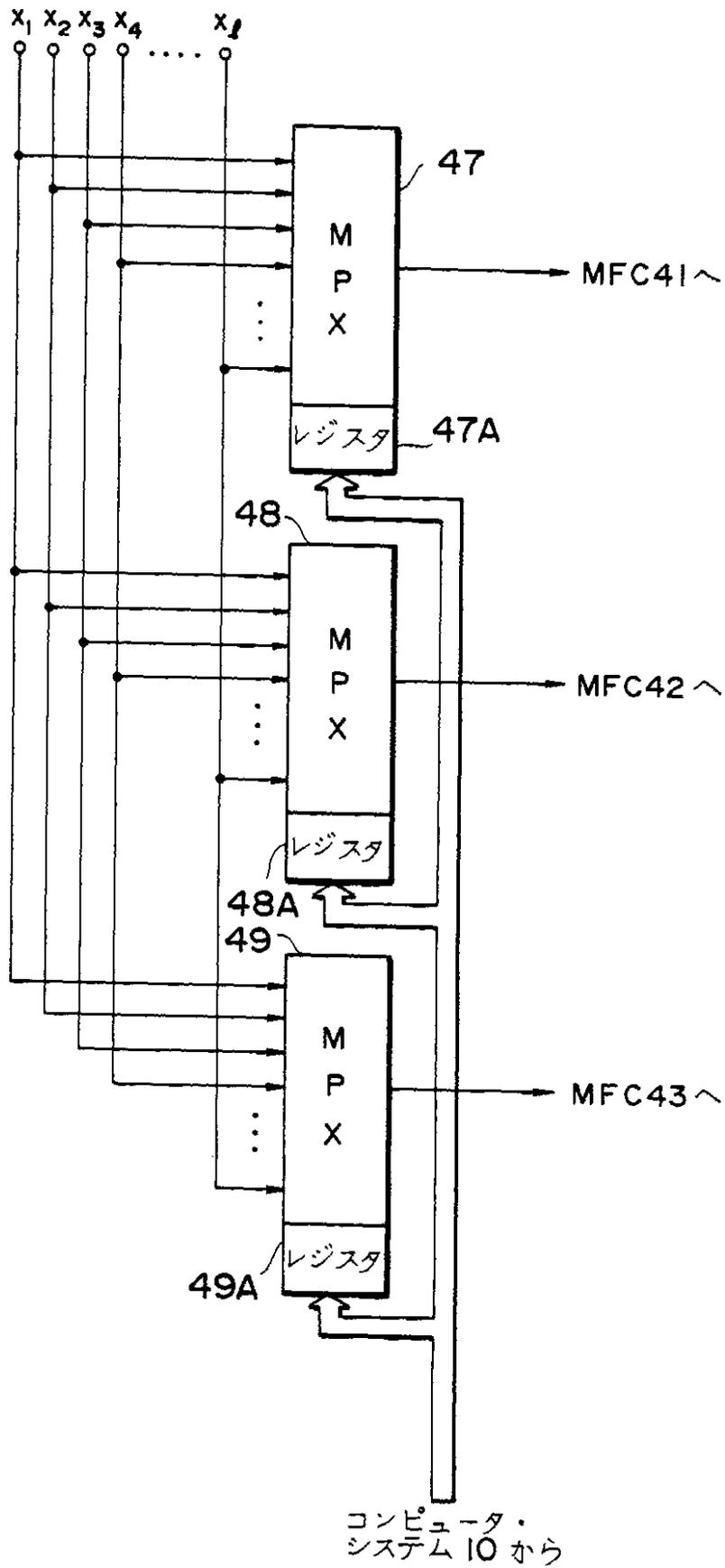
【第8図】

新ルール 番号	ルール・データ								制御 コード
	前件部				後件部				
1	x_{11}	L_{11}	x_{12}	L_{12}	x_{13}	L_{13}	y_1	K_1	1
2	x_{14}	L_{14}	x_{15}	L_{15}	x_{16}	L_{16}	y_1	K_1	1
3	x_{17}	L_{17}	x_{18}	L_{18}			y_1	K_1	1
4	x_{21}	L_{21}	x_{22}	L_{22}	x_{23}	L_{23}	y_2	K_2	0
i	x_{j1}	L_{j1}	x_{j2}	L_{j2}	x_{j3}	L_{j3}	y_j	K_j	1
i+1	x_{j4}	L_{j4}					y_j	K_j	1
n	x_{n1}	L_{n1}	x_{n2}	L_{n2}	x_{n3}	L_{n3}	y_n	K_n	0

【第9図】



【第5図】



【第6図】

設定ルール番号

I	x_{11}	L_{11}	x_{12}	L_{12}	x_{13}	L_{13}	x_{14}	L_{14}	x_{15}	L_{15}	x_{16}	L_{16}	x_{17}	L_{17}	x_{18}	L_{18}	y_1	K_1
II	x_{21}	L_{21}	x_{22}	L_{22}	x_{23}	L_{23}											y_2	K_2
j	x_{j1}	L_{j1}	x_{j2}	L_{j2}	x_{j3}	L_{j3}	x_{j4}	L_{j4}									y_j	K_j
m	x_{m1}	L_{m1}	x_{m2}	L_{m2}	x_{m3}	L_{m3}											y_m	K_m

【第7図】

