

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2626335号

(45)発行日 平成9年(1997)7月2日

(24)登録日 平成9年(1997)4月11日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/44	5 5 4		G 0 6 F 9/44	5 5 4 C

請求項の数7(全14頁)

(21)出願番号	特願平3-231962	(73)特許権者	000002945 オムロン株式会社 京都府京都市右京区花園土堂町10番地
(22)出願日	平成3年(1991)9月11日	(72)発明者	久野 敦司 京都市右京区花園土堂町10番地 オムロン株式会社内
(65)公開番号	特開平5-241841	(74)代理人	弁理士 小森 久夫
(43)公開日	平成5年(1993)9月21日	審査官	林 毅
前置審査			

(54)【発明の名称】 ファジィ演算装置および同装置における入出力アクセス方法

1

(57)【特許請求の範囲】

【請求項1】ファジィ推論に使用されるファジィルールを表現する符号を読み出し、前記ファジィルールを表現する符号の内のファジィルールの前件部の入力変数を表現するものが、外部から読み込むべき変数に関するものか又は過去の推論結果を表す変数に関するものかを判別し、この判別処理で外部から読み込むべき変数に関するものと判別した場合に、外部入力インタフェースを通じて読み込むためのアドレスを外部に送出して当該変数値を読み込み、前記判別処理で過去の推論結果をあらわす変数に関するものと判別した場合に、ファジィ結論メモリインタフェースを通じて読み出すためのアドレスを送出して、過去の推論結果をファジィ結論メモリから読み出すことを特徴とする、ファジィ演算装置における入出力アクセス方法。

2

【請求項2】ファジィ演算の全体の制御を行うマイクロコンピュータと、ファジィルールを記憶するファジィルールメモリを含みファジィ制御を行うファジィ推論コンピュータと、を備え、前記ファジィ推論コンピュータは、ファジィ推論に使用されるファジィルールを表現する符号を読み出して、前記ファジィルールを表現する符号の内のファジィルールの前件部の入力変数を表現するものが、外部から読み込むべき変数に関するものか又は過去の推論結果を表す変数に関するものかを判別する手段と、該判別手段が外部から読み込むべき変数に関するものと判別した場合に、外部入力インタフェースを通じて読み込むためのアドレスを外部に送出して当該変数値を読み込み、前記判別手段が過去の推論結果をあらわす変数に関するものと判別

した場合に、ファジイ結論メモリインタフェースを通じて読み出すためのアドレスを送出して過去の推論結果をファジイ結論メモリから読み出す手段を備えるものであることを特徴とするファジイ演算装置。

【請求項 3】請求項 2 において、前記ファジイルールメモリは、各ファジイルールをその後件部のファジイ変数にアドレスを相関させて記憶するものであり、前記マイクロコンピュータはファジイルールの後件部のファジイ変数を表現する符号をアドレス情報として発生するものであるファジイ演算装置。

【請求項 4】ファジイ推論結果を記憶するファジイ結論メモリに対し、各ファジイ推論結果を各ファジイルールの後件部のファジイ変数にアドレスを相関させて記憶しておき、ファジイ結論メモリに対し、前記後件部のファジイ変数を表現する符号をアドレス情報としてアクセスし、ファジイ推論結果を読み出すことを特徴とする、ファジイ演算装置における入出力アクセス方法。

【請求項 5】請求項 2 において、前記ファジイコンピュータは、ファジイ推論結果を記憶するファジイ結論メモリを含み、該ファジイ結論メモリは、各ファジイ結論結果を各ファジイルールの後件部のファジイ変数にアドレスを相関させて記憶するものであり、前記ファジイ推論コンピュータは、前記ファジイ結論メモリに対し、前記後件部のファジイ変数を表現する符号をアドレス情報として発生するものであるファジイ演算装置。

【請求項 6】ファジイ推論部によって得られたファジイ推論結果をファジイルール後件部のファジイ変数毎に記憶するファジイ結論メモリを備え、前記ファジイ変数に相関するアドレス情報で該ファジイ結論メモリにアクセスすることを特徴とする、ファジイ演算装置。

【請求項 7】ファジイ推論を行うファジイ推論コンピュータと、

前記ファジイ推論コンピュータのメンバーシップ関数のパラメータを与える手段と、前記ファジイ推論コンピュータへの入力の切換を行う手段と、前記ファジイ推論コンピュータの推論出力の切換を行う手段とを備え、前記ファジイ推論コンピュータはファジイ推論に使用されるファジイルールを表現する符号を読み出して、前記ファジイルールを表現する符号の内のファジイルールの前件部の入力変数を表現するものが、外部から読み込むべき変数に関するものか又は過去の推論結果を表す変数に関するものかを判別する手段と、該判別手段が外部から読み込むべき変数に関するものと判別した場合に、外部入力インタフェースを通じて読み込むためのアドレスを外部に送出して当該変数値を読み込み、前記判別手段が過去の推論結果をあらわす変数に関するものと判別した場合に、ファジイ結論メモリインタフェースを通じて読み出すためのアドレスを送出して過去の推論結果をファジイ結論メモリから読み出す手段を備えるものであること

を特徴とするファジイ演算装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、ファジイルール等のルールを使用して事象の推論を行う推論装置に関し、また、ファジイルールの読み出し等の処理における入出力アクセス方法に関する。

【0002】

【従来の技術】従来のファジイ推論装置は、予めメモリに用意した 1 個のファジイルール群を用い、或る事象を推論する要求が発生したときに、その推論を行うのに必要なルールを前記メモリから読み出して推論部に送る（セットする）ように構成している。このようなファジイシステムでは、メモリ等へのアクセスを行うのにアドレス情報を、ファジイルールとは全く無関係に、例えば、プログラムの都合やメモリ配置の各種条件等により決められていた。

【0003】

【発明が解決しようとする課題】しかしながら、極めて多くのファジイルールの中から、必要なルールを選ぶのに単にプログラムの好み、都合によって、またはメモリ等の制約から適当な方法に頼るのでは、時間がかってしまい、効率良く処理を行うことが出来なくなる問題がある。

【0004】この発明は、メモリからのファジイルールの取出や、推論の入出力アクセスを高速に実行する推論装置および同装置における入出力アクセス方法を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、ファジイ推論に使用されるファジイルールを表現する符号をアドレス情報としてメモリや入出力デバイスにアクセスすることを特徴とするものである。また、ファジイルールの前件部の変数が外部から読み込むべき変数であるか、過去の推論結果をあらわすものであるからの判別を行い、ファジイルールの前件部の変数が外部から読み込むべき変数であるとき、外部入力インタフェースを通じて読み込みのためのアドレスを外部に送出して変数値を読み込み、ファジイルールの前件部の変数が過去の推論結果をあらわすものである場合に、ファジイ結論メモリインタフェースを通じて読み出すためのアドレスを送出して変数値を読み出すことを特徴とする。

【0006】また、ファジイルールを記憶するファジイルールメモリに対し、各ファジイルールをその後件部のファジイ変数にアドレスを相関させて記憶しておき、マイクロコンピュータがファジイルールメモリに対してファジイルールの後件部のファジイ変数を表現する符号をアドレス情報としてアクセスすることを特徴とする。

【0007】また、ファジイ推論結果を記憶するファジイ結論メモリに対し、各ファジイ推論結論結果を各ファ

ジイルールの後件部のファジイ変数にアドレスを相関させて記憶しておき、ファジイ推論メモリに対し、前記後件部のファジイ変数を表現する符号をアドレス情報としてアクセスし、ファジイ推論結果を読み出すことを特徴とする。また、ファジイ推論コンピュータがその様なアクセスを行うものであることを特徴とする。

【0008】

【0009】また、ファジイ推論部によって得られたファジイ推論結果をファジイルール後件部のファジイ変数毎に記憶するファジイ結論メモリを備え、前記ファジイ変数に相関するアドレス情報で該ファジイ結論メモリに

アクセスすることを特徴とする。  
【0010】前記ファジイ推論コンピュータのメンバーシップ関数のパラメータを与える手段と、前記ファジイ推論コンピュータへの入力切替を行う手段と、前記ファジイ推論コンピュータの推論出力切替を行う手段とを備え、前記ファジイ推論コンピュータはファジイルールの前件部の変数が外部から読み込むべき変数であるか、過去の推論結果をあらわすものであるかの判別を行い、ファジイルールの前件部の変数が外部から読み込むべき変数であるとき、外部入力インタフェースを通じて読み込みのためのアドレスを外部に送出して変数値を読み込み、ファジイルールの前件部の変数が過去の推論結果をあらわすものである場合に、ファジイ結論メモリインタフェースを通じて読み出すためのアドレスを送出して変数値を読み出すことを特徴とする。

【0011】

【作用】ファジイ推論に使用されるファジイルールを表現する符号をアドレス情報としてメモリや入出力デバイスにアクセスする際、ファジイルールの前件部の変数が外部から読み込むべき変数であるか、過去の推論結果をあらわすものであるかの判別を行い、ファジイルールの前件部の変数が外部から読み込むべき変数であるとき、外部入力インタフェースを通じて読み込みのためのアドレスを外部に送出して変数値を読み込み、ファジイルールの前件部の変数が過去の推論結果をあらわすものである場合に、ファジイ結論メモリインタフェースを通じて読み出すためのアドレスを送出して変数値を読み出す。

【0012】ファジイルールメモリに対してアクセスする場合には、ファジイルールの後件部のファジイ変数を表現する符号をアドレス情報としてアクセスする。すなわち、ファジイメモリには、各ファジイルールが、その後件部のファジイ変数にアドレスが相関している位置に記憶されている。

【0013】ファジイ推論結果を記憶するファジイ結論メモリにおいても、ファジイ変数にアドレスが相関させてファジイ推論結果が記憶される。したがって、このメモリにアクセスする場合も、ファジイ変数を表現する符号をアドレス情報としてアクセスする。

【0014】

【0015】また、ファジイ推論部によって得られたファジイ推論結果をファジイルール後件部のファジイ変数毎に記憶するファジイ結論メモリを備えることにより、そのファジイ変数に相関するアドレス情報で該ファジイ結論メモリにアクセスする。

【0016】また、ファジイ推論に使用されるファジイルールを表現する符号をアドレス情報としてメモリや入出力デバイスにアクセスする際、ファジイルールの前件部の変数が外部から読み込むべき変数であるか、過去の推論結果をあらわすものであるかの判別を行い、ファジイルールの前件部の変数が外部から読み込むべき変数であるとき、外部入力インタフェースを通じて読み込みのためのアドレスを外部に送出して変数値を読み込み、ファジイルールの前件部の変数が過去の推論結果をあらわすものである場合に、ファジイ結論メモリインタフェースを通じて読み出すためのアドレスを送出して変数値を読み出すようにするとともに、ファジイ推論コンピュータに対する入出力を切替えることにより、各種の事象への対応を行い得るようにしている。

【0017】

【実施例】以下図面にもとづき実施例を説明する。図1は、本実施例装置のシステム構成図である。このシステムでは、超小型のデジタルコンピュータいわゆるマイクロコンピュータを中心に構成された上位1の下に、後に詳説するファジイコンピュータ（以下必要により、FCと略称する）2, 3, 4, 5が配置され制御される。そして、例えば、第1番目のファジイコンピュータ2に対して、第2のファジイコンピュータ3が接続される等多階層構造になっている点に特徴がある。

【0018】すなわち、FC2は複数のセンサ6, 6, …からの出力にもとづく推論に加えて、下位とも言うべき第2のFC3の推論結果も入力として取扱い推論できる構造になっている。

【0019】ここで本システムで実行する推論につき、後の理解を容易にするため、図2の処理概略図にもとづき簡単に説明しておく。今上位1からある命題に関する推論の実行が最上位のFCaに指令されたとする。この指令はデフアジファイ出力を要求することになる。この指令に応じてFCaは、この命題の推論に必要な情報が下位のFCbないしcで得られる場合には、FCbないしcを起動する。この起動に応じてFCaないしcは、各別に配置されたセンサ6, 6の出力にもとづく推論を実行し、その結果をFCaに伝達する。この結果を受けたFCaは推論を実行し、結果を上位1に伝える。このようにして得られた最終推論結果は上位1中の表示器で表示されたり、別のシステムに対し制御信号として出力されたりする。

【0020】このように、下位のFCによって得られる推論結果を上位のFCがセンサ出力と同等に取り扱えるようにしておくこと、大きく複雑な問題を分析・推論する

場合に有利である。

【0021】又、この図2において点線で囲んだ部分について付言しておく。すなわち、下位のFCcはそのセンサ出力に応じた推論を実行し、その結果を上位のFCaに伝えるが、その信号形態は、センサ6, 6が自らに入力してくる信号形態と等価に形成されている。従って、上位のFCaから見ると、センサ6からの直接出力であるか、推論結果であるのかが区別できない、あるいは区別する必要がない。

【0022】このことは、点線で囲んだ部分7全体がある種のセンサ、いわばファジイセンサを形成していることを意味する。

【0023】次に図3にもとづきファジイコンピュータと上位(以下MPUと呼ぶ)1との関係を説明する。図3に代表的に示されたFC2はMPU1と上位バス8によって結合されている。このバス8を介してMPU1は、ファジイルールメモリ9に予めファジイプロダクションルールを格納する。

【0024】そしてある命題を実行する際には、MPU1は、その命題を示す情報をバス8を介してルールコントローラ10に転送する。この結果ルールコントローラ10は起動すべきルールを選択し、ファジイルールメモリ9からのファジイルールレジスタ部11にセットする。

【0025】ファジイルールレジスタ部11にセットされたルールは、入力制御部12でファジイ変数として外部入力を取込むべきか、あるいは後述のファジイ結論メモリ部13から取込むべきかが判断される。この判断にもとづき選定されたファジイ変数が、ルールとともにファジイ推論部14に印加され推論が実行される。推論された結果はファジイ結論メモリ部13に格納される。この推論結果は、結論メモリコントローラ15および上位バス8を介してMPU1に転送される。

【0026】すなわちMPU1は、ファジイルールメモリ9, ルールコントローラ10および結論メモリコントローラ15を自在にアクセスでき、これによって所望の推論を実行・完成させるものである。

【0027】次に図3に示したファジイコンピュータの具体的構成および動作について説明する。

【0028】そのため図2に戻って本システムにおける推論動作につき説明する。MPU1がZ1に関する推論を行うためFCaにその旨を転送する。すなわち、MPU1は、デファジファイ出力Z1の要求を出す。これはFCaにおいて、ファジイプロダクションルール「 $if\ x1 = A1 \cdot y1 = B1\ then\ z1 = C1$ 」(すなわち“x1がA1で、かつy1がB1ならば、z1はC1である”)というif-then形式に展開されたとする。

【0029】これに応じてFCaは前記ルールの前件部のファジイ変数であるx1あるいはy1がいずれの箇所

で得られるかを探索する。この探索の詳細は後に説明するが、要するに、センサ6より確定値として得られる場合は従来のファジイコンピュータと同様であるが、他のFCの推論結果として得る場合には、先の例でいえばx1あるいはy1を後件部とする全ルールが特定のFCにおいて実行され、その結果から得られる総合的な推論結果が確定値として例えばFCbあるいはFCcよりFCaに伝達される。

【0030】図2においては、FCaとFCbあるいはFCcというように2階層の構造を説明したが、これに限られるものではない。すなわち、ある階層に位置するFCで実行されるルールの前件部にセンサ出力ではないファジイ変数を含む場合には、そのファジイ変数を出力するFC(すなわち下位のFC)を順次、起動していく点に本システムの特徴がある。

【0031】さてファジイルールメモリ9には複数のif-then形式のファジイプロダクションルールが格納される。その詳細は第4図に示すように、各ルールとも前件部16と後件部17とで構成されている。このファジイプロダクションルール(以下、ファジイルールとも呼ぶ)はMPU1によって予めファジイルールメモリ9に書き込まれている。

【0032】又、MPU1は、ルールコントローラ10に起動すべきファジイルールを決定するためのデータを予め書き込んでおり、その詳細を図5に示す。

【0033】図5において、ルールコントロールメモリ18のstaddr(i)およびendaddr(i)は、後件部のファジイ変数を同一とするルールがファジイルールメモリ9中のどのアドレスにあるかを示すためのもので先頭アドレスをstaddr(i)で、又、最終アドレスをendaddr(i)で示している。すなわち、“i”は後件部ファジイ変数を表す符号である。

【0034】このファジイルールメモリ9とルールコントロールメモリ18とのメモリ上の関係を図6に図示する。

【0035】以上のようにしてMPU1が全てのFCに対しファジイルールとルールコントロールデータとを書き込むことにより本システムは推論を行える状態に初期化される。

【0036】それに伴いMPU1から所定の項目の推論開始を指令するが、この指令は上位バス8を介して図3の結論メモリコントローラ15に与えられる。結論メモリコントローラ15の詳細を図7に示す。又、ファジイ結論メモリ部13の詳細を図8に、さらにファジイ結論メモリの詳細を図9に示す。

【0037】今MPU1はrなる事象(項目)を推論すべく、iなるアドレス信号を上位バス8を介して結論メモリコントローラ15に印加する。すなわち、MPU1は、後件部ファジイ変数を表す符号“i”をアドレス信号として発生し、結論メモリコントローラ15にアクセ

スする。このアドレス信号はコマンドレジスタ 2 1 ( 図 7 ) にセットされる。これに応じて結論メモリアクセス部 2 2 は、アドレス信号 e a d を与え結論メモリ 2 0 から該当するファジイ変数値 e d a t をインターフェイス 2 2 3 を介して読出す。

【 0 0 3 8 】ファジイ結論メモリ 2 0 は詳細を図 9 に示すように推論結果を記憶するメモリで、図 3 のファジイ推論部 1 4 で推論が終了したのに伴いファジイ変数値である推論結果が結論部 2 3 にセットされるとともに最上位に位置するフラグ部 2 4 に “ 1 ” が立てられる。従って、フラグ部 2 4 に “ 1 ” が立っていない場合には、該当するファジイ変数は有効でないことを意味する。

【 0 0 3 9 】従って、結論メモリ 2 0 からリードしたデータ e d a t の最上位ビットが “ 1 ” の場合にはこのデータは有効とされ、結論メモリデータレジスタ 2 5 ( 図 7 ) にセットされる。すなわち、結論メモリのデータが使用される訳であるが、この様な動作は当然、入力条件が変化していないとき等、過去の推論の結論値がそのまま使用出来る場合に行われる。したがって、フラグ部 2 4 の “ i ” は定期的リセットされる必要がある。なお、 “ i ” は、前述のように後件部ファジイ変数を表す符号であり、ファジイ結論メモリ 2 0 は、図 9 より明らかのように、 “ i ” にアドレスが関連するように ( “ i , , 毎に ) 推論結果を記憶する。

【 0 0 4 0 】リードされたデータ e d a t の最上位ビットが “ 0 ” の場合には、ルール起動要求信号 e r u l がファジイ変数アドレス f a d d r とともに、ルールコントローラ 1 0 のルールコントロールメモリアクセス部 2 6 ( 図 5 ) に印加される。

【 0 0 4 1 】これに伴いルールコントローラ 1 0 では、後件部にファジイ変数アドレス f a d d r を有するルール群 ( 今これを i とする ) をルールコントロールメモリ 1 8 をリードすることによって検出する。今これは i であるので、後件部を共通にする i 番目のルール群の先頭アドレス s t a d d r ( i ) および最終アドレス ( e n d a d d r ( i ) ) がそれぞれバッファレジスタ 2 7 , 2 8 にセットされる。

【 0 0 4 2 】バッファレジスタ 2 7 はカウンタ機能も有するもので、レジスタ 2 7 の出力はファジイルールメモリ 9 ( 図 3 , 図 6 参照 ) 中の該当ルールをリードアクセスするための信号 ( r u l a d d r ) としてルールメモリ 9 に印加される。その結果推論が実行される。そして、ルール群のうちの 1 つのルールについての推論が終了すると同期回路 2 9 からカウントアップ信号が出力されカウンタバッファ 2 7 は歩進され、その出力 ( r u l a d d r ) によって次のルールの推論が開始される。このようにしてルール群中の全てのルールの実行が終了すると、カウンタバッファ 2 7 と最終アドレス用バッファ 2 8 との出力の比較する比較器 3 0 から出力が出力され、歩進が停止する。これによって後件部を共通にする

ルール群の全ルールの推論が終了する。

【 0 0 4 3 】次に、この繰り返しの推論がどのようになされるかについて説明する。

【 0 0 4 4 】先述のルールアドレス信号である r u l a d d r はファジイルールメモリ 9 ( 図 3 ) に印加され、該当するルールがファジイルールレジスタ部 1 1 に読出される。

【 0 0 4 5 】ファジイルールレジスタ部 1 1 の詳細を図 1 0 に示す。

10 【 0 0 4 6 】今ルールアドレス信号 r u l a d d r によって読み出されたルールが次記の式 ( 1 ) のようなものであったとする。

【 0 0 4 7 】 
$$\text{if } x = A \cdot y = B \cdot z = C \\ \text{then } r = D \cdot \dots (1)$$

この式 ( 1 ) において、  $x, y, z, r$  はファジイ変数であり、後述する所で明らかになるように、アドレス信号の形を取っている。

20 【 0 0 4 8 】さてファジイルールメモリ 9 から読出された式 ( 1 ) で表されたルールは、ファジイルールレジスタ部 1 1 のラッチ回路 3 1 ないし 3 8 ( 図 1 0 ) に各変数毎にラッチ記憶される。このうち、ラッチ回路 3 5 ないし 3 8 には、MPU 1 によりメンバーシップ関数のパラメータ  $A_i, B_i, C_i, D_i$  がセットされる。

【 0 0 4 9 】  $r$  ラッチ回路 3 1 上のアドレスは書き込みインターフェイス部 2 2 4 を介してファジイ結論メモリ 2 0 ( 図 8 ) の書き込みアドレス用として用いられる。又、  $x, y, z$  の各ラッチ回路上のアドレスはファジイ変数リード制御部 3 9 で時系列変換され、リードアドレス r a d として、入力の切換えを行うためにレジスタコード r c o d e とともに詳細を図 1 1 に示す入力制御部 1 2 ( 図 3 参照 ) に順次与えられている。

30 【 0 0 5 0 】このようにして入力制御部 1 2 に与えられたルールの前件部に関する信号は、一對のデコーダ 4 0 , 4 1 で解読される。すなわち、最初のファジイ変数  $x$  に関する r a d および r c o d e が与えられたとすると、デコーダ 4 1 によってレジスタコード r c o d e が解読され入力ラッチ 4 2 が選択される。又、リードアドレス r a d はデコーダで解読され、自己の内部すなわちファジイ結論メモリ 2 0 から得られる情報が、それとも外部すなわちセンサあるいは下位の F C から得られる情報かが判定される。この判定結果に応じて外部入力インターフェイス 4 5 , ファジイ結論メモリインターフェイス 4 6 のいずれかが選択され、ファジイ変数  $x$  に関するアドレス信号が出力される。

40 【 0 0 5 1 】すなわち、 r a d の所定ビットが “ 0 ” か “ 1 ” かによって、ファジイ結論メモリインターフェイス 4 6 が外部入力インターフェイス 4 5 かが選択される。結論メモリインターフェイス 4 6 が選択されたときには、ファジイ変数  $x$  に関するアドレス信号 f m a d が結論メモリインターフェイス 4 6 から出力され、図 8 の

入力制御部インターフェイス 2 2 5 を介してファジイ結論メモリ 2 0 から読出される。読出されたデータは、入力制御部インターフェイス 2 2 5 を介して信号  $f d a t$  として、ファジイ結論メモリインターフェイス 4 6 に入力される。

【0052】一方、外部入力インターフェイス 4 5 が選択されたときには、外部入力インターフェイス 4 5 はセンサ 6 または下位の F C の選択信号  $s e n s a d$  を出す。選択されたセンサまたは F C は、状態信号またはファジイ推論結果を信号  $s d a t$  として外部入力インターフェイス 4 5 に返送してくる。

【0053】ファジイ結論メモリインターフェイス 4 6 に入力されたデータまたは外部入力インターフェイス 4 5 に返送されたデータは、ライン 4 7 を介して  $d x$  として入力ラッチ 4 2 にセットされる。以下  $y, z$  についても同様の処理がなされ入力ラッチ 4 3, 4 4 にはファジイ変数値  $d y, d z$  がセットされる。

【0054】次にこのファジイ変数値  $d x, d y, d z$  ともう一つの信号であるメンバーシップ関数とにより推論を実行する訳であるが、このメンバーシップ関数を発生する機構について説明する。

【0055】図 1 0 に戻って、ファジイ規則のメンバーシップ関数のラベルである A, B, C, D はそれぞれラッチ回路 3 5, 3 6, 3 7, 3 8 にラッチ記憶されることは先述のとおりである。このようにしてラッチされたラベル A, B, C, D は波形作成ユニット 5 0 へアドレスの一部として入力される。そして、波形作成ユニット 5 0 からは時間依存型のメンバーシップ関数を示す信号が出力されるが、これを以下説明する。

【0056】この波形作成ユニット 5 0 は、先述のようにファジイメンバーシップ関数を発生するものである。通常このメンバーシップ関数は図 1 2 に示すように、横軸にファジイ変数を取り、縦軸に所属度をとった連続関数で表現される。これに対し本ファジイコンピュータにおいてはメンバーシップ関数を発生するにあたって、図 1 3 に示すようにファジイ変数  $x$  を離散的にとるとともに、各々の所属度を終点を同時としたパルスの長さ(パルス幅)で表現するようにしている。これを以下、メンバーシップ関数の PWM (Pulse Width Modulation) 表現と呼ぶ。ここでは、パルスの終点を同時としているが、起点を同時にしてもよい。

【0057】以上の理解を前提に、図 1 4 に詳細を示す波形作成ユニット 5 0 につき説明する。

【0058】波形作成ユニット 5 0 は、複数種類のメンバーシップ関数の関数波形を記憶するとともに一方の入力であるラベル (A, B, C, D...) によって該当する関数が選定される波形メモリ 5 1, 5 2, 5 3, 5 4 と、選定された関数の読出タイミングを制御するカウンタ 5 5 を中心に構成されている。

【0059】すなわち、波形メモリ 5 1 ~ 5 4 には、図

1 3 に即して述べると、各格子に “ 0 ” “ 1 ” が割り当てられて PWM 表現されたメンバーシップ関数がラベル順に複数個記憶されている。従って、ラベルでメンバーシップ関数が指定され、カウンタ 5 5 から、クロックをカウントして得られるカウント値が印加されると、図 1 3 に示す  $t 0, t 1, t 2, \dots$  の順番に波形メモリ 5 1 等はアクセスされ、図 1 5 に示すような、パルス長さの長短で表現されたメンバーシップ関数がライン  $h 0, h 1, h 2, \dots$  上に出力される。

10 【0060】このようにしてファジイ変数値  $d x, d y, d z$  とメンバーシップ関数 ( $m A, m B, m C, m D$ ) とがそろふことによりファジイ推論が実行される訳であるが、これを図 1 6 にファジイ推論部 1 4 のブロック図にもとづき説明する。

【0061】ファジイ推論部 1 4 では、ファジイ規則の前件部が処理される。すなわち、複数のライン  $h 0, h 1, h 2 \dots$  (図 1 5 参照) 上に PWM 表現された入力メンバーシップ関数 ( $m A, m B, m C$ ) はマルチプレクサ 6 1, 6 2, 6 3 にそれぞれ接続される。

20 【0062】このマルチプレクサ 6 1, 6 2, 6 3 の機能は、ファジイ変数  $d x, d y, d z$  の大きさに応じて、ライン  $h 0, h 1, h 2 \dots$  のうちの一本を選んで、所属度  $e x, e y, e z$  を出力することである。このことは、公知・通常ファジイコンピュータにおいて、センサ等から入力される入力信号をメンバーシップ関数で評価して所属度を出力するのと等価である。唯、通常ファジイコンピュータが所属度を電圧、電流等電気信号の大小で表現するのに対し、本ファジイコンピュータではパルスの長短で表現することに特徴がある点で差異がある。

30 【0063】このようにパルス幅で表現された所属値  $e x, e y, e z$  は、 $\min$  回路 6 4 で  $\min$  演算がなされる。この  $\min$  回路 6 4 の実態は、図 1 7 に示す単純な AND 回路である。すなわち、本ファジイコンピュータにおいては、所属度  $e x, e y, e z$  は PWM 表現されているので AND 回路で簡単に最短パルス幅のパルス(所属度)が選定され、 $\min$  演算が行われ、出力  $g$  が出力される。

40 【0064】このようにして前件部の処理が終了する次に、後件部の処理に移る。後件部の処理はトランケーション部 6 5 でなされる。

【0065】すなわち、トランケーション部 6 5 は図 1 8 に示すような並列配置された AND 回路群で構成され、各 AND 回路の一方の入力端には共通に  $\min$  回路 6 4 の出力端に接続され、最短のパルス幅信号である出力  $g$  が印加される。

50 【0066】トランケーション部 6 5 の他方の入力、後件部のメンバーシップ関数  $m D 2$ 、この関数  $m D$  は、前述のように、複数のライン  $h 0, h 1, h 2 \dots$  上にパルス幅の長短で表現されている。このようなパルス

信号 (g および mD) が印加されることにより、トランケーション部 65 からは、両信号のうちよりパルス幅が短い方が選定され、出力 mD' が出力される。この出力 mD' は、mD と対応した n 本のラインで表現される。このような処理は、通常のファジイコンピュータでいわゆる“頭切り”と呼ばれる処理と等価である。

【0067】このようにして前件部の処理および後件部の処理が終了すると、一つの処理が終了したことになる。従ってファジイコンピュータは次のルールを処理する状態に移る。このようにして、次々とルールを実行し、最終的に推論を完成するのであるが、次に、各ルールの実行結果の合成について説明する。

【0068】さて、前述のように、最初のルールの実行が終了すると、その実行結果である mD' は、C-max 回路 66 および n 本のラインからなるバス 67 を介して、初期にはリセット状態のシフトレジスタ群 68 に読み込まれる。このシフトレジスタ群 68 は、前記ライン毎に設けられた n 組のシフトレジスタで構成され、前述の PWM 表現されたパルス幅信号を再現可能に記憶する。

【0069】C-max 回路 66 はその詳細を図 19 に示すように、2 入力 OR 回路が前記ライン数に対応して n 組並設されている。従って、最初のルールの実行後には、出力 mD' の各パルス信号がそのままシフトレジスタ群 68 に記憶される。

【0070】第 2 番目のルールの実行が終了すると、出力 mD' が C-max 回路 66 に印加されるタイミングと同期して、シフトレジスタ群 68 から最初のルールによる実行結果が再生されて印加され、OR 回路の作用により、n 本のライン毎により長い方のパルス幅の信号が選定され、前回同様シフトレジスタ群 68 に記憶される。このような動作は、公知・通常のファジイコンピュータにおけるいわゆる“MAX 演算”と等価である。

【0071】このようにして、各ルールの実行の終毎に、シフトレジスタ群 68 の中には、それまでに実行したルールの合成結果が、PWM 表現の形で記憶されることになる。そして最終ルールの実行後には、最終的な推論結果が、シフトレジスタ群 68 中に PWM 表現での再生可能な形で記憶される。

【0072】次に、このようにして得られた推論結果を確定情報に変換する、いわゆるデフアジファイ処理について説明する。

【0073】デフアジファイ処理を行うデフアジファイヤ 69 の詳細を図 20 に示す。又、このデフアジファイヤ 69 の動作を図 21 のフローチャートに示す。

【0074】さて、全てのルールの実行が終了すると、シフトレジスタ群 68 (図 16) に格納された実行結果が、バス 67 を介して、デフアジファイヤの n 個のシフトレジスタ 700 ~ 70n-1 に各ライン毎に読み込まれる。この結果、これらの各シフトレジスタ 70 に

は、PWM 表現された実行結果が転写された形で記憶される。この記憶状態を図 22 に模式的に示す。

【0075】これらのシフトレジスタ 70 は前述のように直列モードでデータを読み込むとともに、出力としては並列信号を出すもので、この並列信号により、前述の PWM 表現された実行結果；すなわち第 22 図に限って言えば波形 73 の高さを、出力する。

【0076】本ファジイコンピュータにおいては図 22 の前記波形 73 を、その左右において面積を 2 等分する点 (ないし線) 74 を確定値とすることによりデフアジファイする。そして、このデフアジファイ処理を前もって概説すると、図 22 において、左から a 方向に波形高さを加算 (積算) して波形の左側の部分面積を順次求めていく。同様に、右から b 方向に波形の右側の部分面積を求めていく。そして、各部分面積を比較し、両者が一致するか検出する。一致しない場合は、少ない方について前記加算をし、この加算した結果について前記比較を行う。このように加算 (積算) ・比較を繰返すことにより、最終的にはデフアジファイ出力 74 を得る。

【0077】さて、最初左右のカウンタ 75, 76, は「0」および「n-1」にそれぞれプリセットされ、最左端のシフトレジスタ 700 および最右端のシフトレジスタ 70n-1 が指定 (アドレス) される。これとともにアキュムレータ 77, 78 はリセットされる。この結果、リードコントローラ 71 を介して最左端のシフトレジスタ 700 がアドレスされ、そのデータ f(0) がデータバス 79 に出力される。この出力されたデータはアキュムレータ 77 の内容と加算され、その結果がアキュムレータ 77 に格納される。

【0078】次に、リードコントローラ 72 を介して最右端のシフトレジスタ 70n-1 がアドレスされ、そのデータ f(n-1) がデータバス 79 に出力される。この出力されたデータはアキュムレータ 78 の内容と加算され、その結果がアキュムレータ 78 に格納される。

【0079】すると、比較器 300 がアキュムレータ 77 の値 1 とアキュムレータ 78 の値 r とを比較する。比較器 300 は、1 > r のときはアキュムレーションコントローラ 301 を駆動し、1 < r のときはアキュムレーションコントローラ 302 を駆動する。アキュムレーションコントローラ 301, 302 は、駆動されると、それぞれアップカウンタ 75, ダウンカウンタ 76 にイネーブル信号を与える。

【0080】アップカウンタ 75 は、イネーブル信号を受信すると、記憶値 a に「1」を加算し、リードコントローラ 71 を駆動する。リードコントローラ 71 は、アップカウンタ 75 の値 a に対応するシフトレジスタを指定する。指定されたシフトレジスタのデータはアキュムレータ 77 に加算される。

【0081】ダウンカウンタ 76 は、イネーブル信号を受信すると、記憶値 b から「1」を減算し、リードコン

トローラ 7 2 を駆動する。リードコントローラ 7 2 は、ダウンカウンタ 7 6 の値 b に対応するシフトレジスタを指定する。指定されたシフトレジスタのデータはアキュムレータ 7 8 に加算される。

【0082】以下、同様にして、アキュムレーションコントローラ 3 0 1, カウンタ 7 5, リードコントローラ 7 1, アキュムレータ 7 7 の組、または、アキュムレーションコントローラ 3 0 2, カウンタ 7 6, リードコントローラ 7 2, アキュムレータ 7 8 の組のいずれか一方が比較器 3 0 0 によって選択されて駆動される。

【0083】以上の動作を繰り返していくと、カウンタ 7 5, 7 6 の出力を受ける比較器 3 0 3 は、カウンタ 7 5 の値がカウンタ 7 6 の値以上になったことを検出して、ゲート 3 0 5 を開くようになる。ゲート 3 0 5 が開かれると、カウンタ 7 6 の記憶データが確定値 d r として出力される。ゲート 3 0 5 が開かれるとき、アキュムレータ 7 7 の累積値とアキュムレータ 7 8 の累積値とが誤差の範囲で近似的に等しくなっている。

【0084】確定値すなわち推論の結論値 d r は、図 8 の書き込みインターフェイス部 2 2 4 を介して、ファジイ結論メモリ 2 0 に記憶する。このときのアドレスは、MPU 1 から与えられて r ラッチ回路 3 1 に記憶されているものが使用される。すなわち、ファジイ推論出力は、r ラッチ回路 3 1 に記憶されているデータに対応するファジイ結論メモリ 2 0 のアドレスに（該データにより切換えられるアドレスに）記憶される。

【0085】ファジイ結論メモリ 2 0 に記憶された確定値は、以後同じデファジファイ出力の要求があったとき、ファジイ結論メモリ 2 0 から結論メモリデータレジスタ 2 5 を介して結論データレジスタ 2 5 1 に読出されて使用される（もちろん、このような動作は、入力変化がない状態のとき、例えばある入力があってから短時間の間においてのみ行われる。図 2 3 参照）。または、以後の推論の前件部に、ファジイ結論メモリ 2 0 に記憶している値が変数として現れたとき、その値が前件部の推論を行うために用いられる（図 2 4）。

【0086】ファジイルールを表現する符号をアドレス情報として、推論の入出力をアクセスすることになるので、推論実行時に入出力アクセスが高速化する。また、ファジイルールの前件部の変数によって、外部をアクセスして情報を取り込むか、または過去の推論結果を情報として読み取るかの判定が自動的に高速に行われ、複雑な推論を効率的に実行できる。

【0087】また、ファジイルールをその後件部のファジイ変数毎にグループ化してファジイルールメモリに記憶したり、グループ化されたファジイルール群のスタートアドレスとエンドアドレスをファジイルール後件部のファジイ変数に相関するアドレス毎にルールコントロールメモリに記憶し、ファジイ変数に相関するアドレス情

報で該ルールコントロールメモリにアクセスしてファジイルールメモリの実アドレスを得ることでルールの取り出しが高速化する。また、ファジイ推論結果を各ファジイルールの後件部のファジイ変数にアドレスを相関させて記憶しておき、ファジイ結論メモリに対し、前記後件部のファジイ変数を表現する符号をアドレス情報としてアクセスすることによってファジイ推論結果を読み出すようにしたため、推論結果の取り出しが高速化する。また、ファジイ推論コンピュータへの入出力を切換えられるようにしたので、各種の事象に対して対応可能になり汎用性を高めることができる。

【図面の簡単な説明】

【図 1】多段階ファジイ推論のためのシステム構成図。

【図 2】推論処理の一例を示す処理概略図である。

【図 3】ファジイコンピュータのブロック図。

【図 4】ファジイルールメモリを示すメモリマップ。

【図 5】ルールコントローラのブロック図。

【図 6】ファジイルールメモリとルールコントロールメモリのメモリ上の関係を示す図。

20 【図 7】結論メモリコントローラのブロック図。

【図 8】ファジイ結論メモリ部のブロック図。

【図 9】ファジイ結論メモリの構造を示すメモリマップである。

【図 10】ファジイルールレジスタ部のブロック図。

【図 11】入力制御部のブロック図。

【図 12】メンバーシップ関数を示す図。

【図 13】メンバーシップ関数をライン毎に分解した図。

【図 14】波形作成ユニットのブロック図。

30 【図 15】メンバーシップ関数の波形図。

【図 16】ファジイ推論部のブロック図。

【図 17】MIN 回路の構成図。

【図 18】トランケーション部の構成図。

【図 19】コレスポンデンス・マックス回路（C - MAX 回路）の構成図。

【図 20】デファジファイヤのブロック図。

【図 21】デファジファイヤの処理を示すフローチャート。

【図 22】推論結果を示す模式図。

40 【図 23】過去と同じ推論を行う場合の例を示す図。

【図 24】過去の結果を前件部の推論に使う場合の例を示す図。

【符号の説明】

1 - MPU, 2 ~ 5 - ファジイコンピュータ,

6 - センサ, 9 - ファジイルールメモリ,

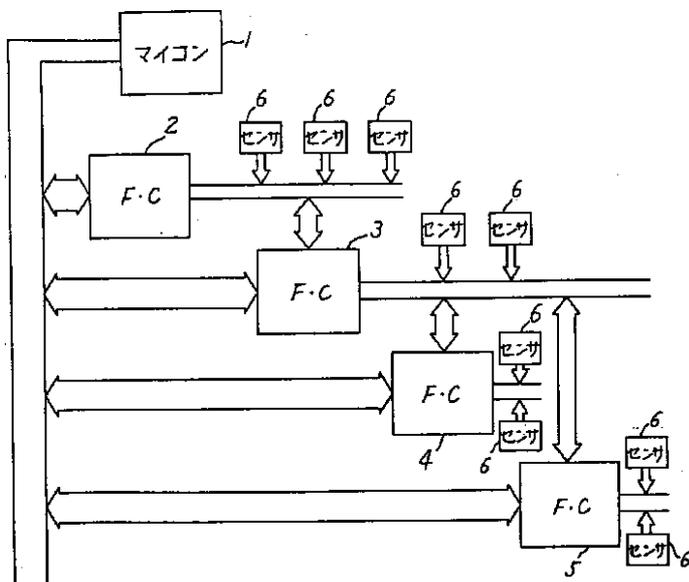
10 - ルールコントローラ,

13 - ファジイ結論メモリ部,

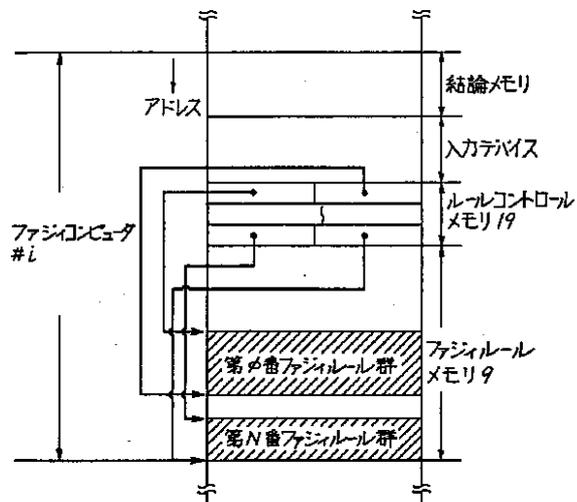
14 - ファジイ推論部,

15 - 結論メモリコントローラ。

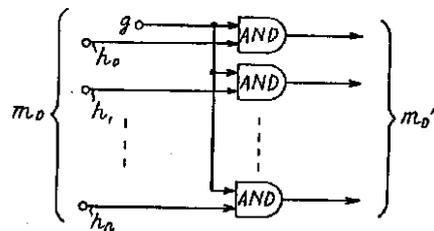
【図 1】



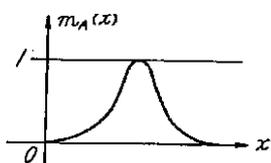
【図 6】



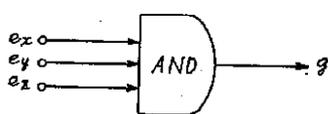
【図 18】



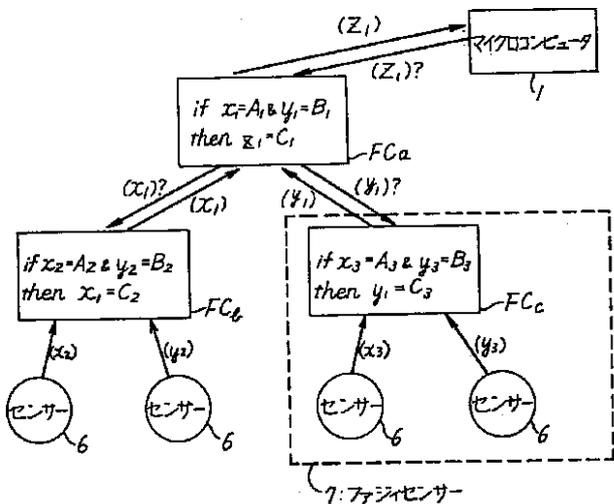
【図 12】



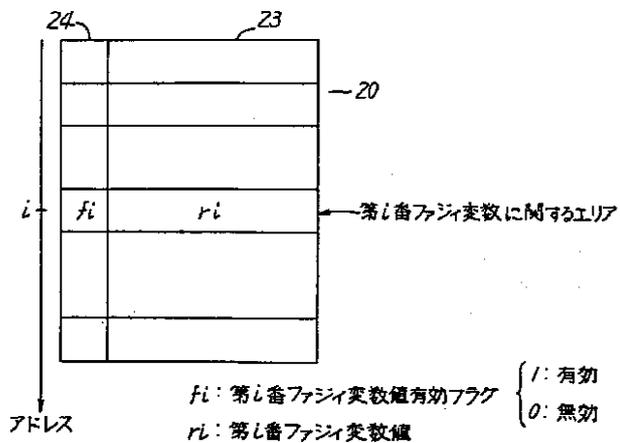
【図 17】



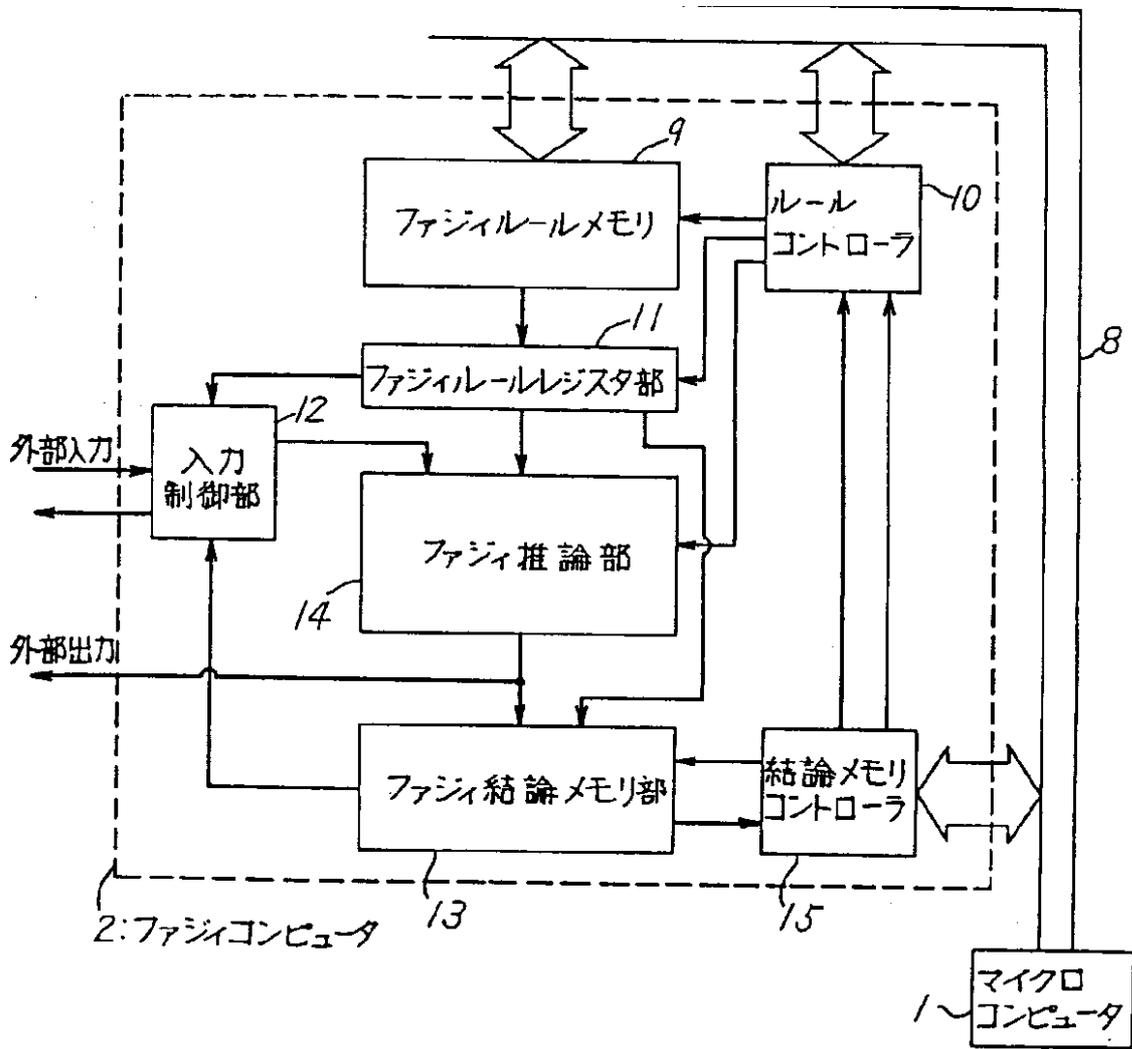
【図 2】



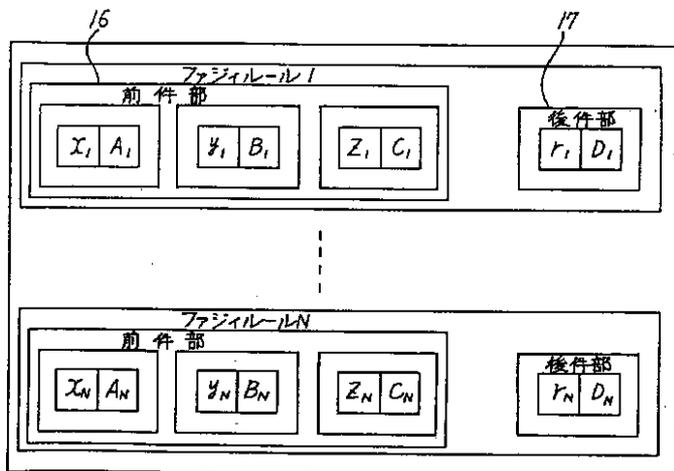
【図 9】



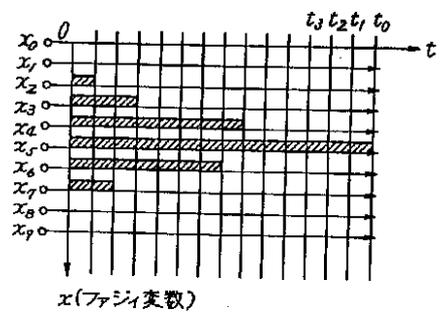
【図 3】



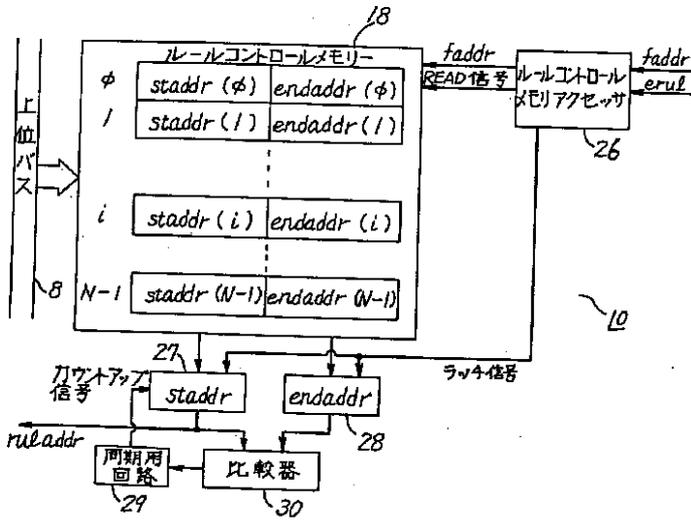
【図 4】



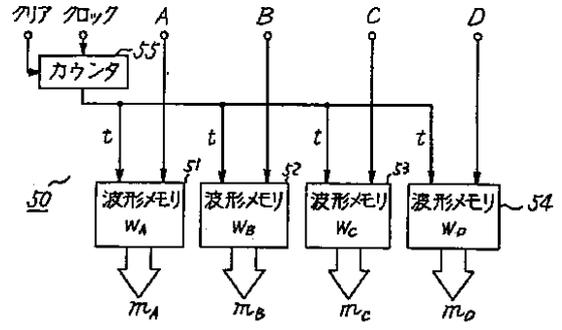
【図 13】



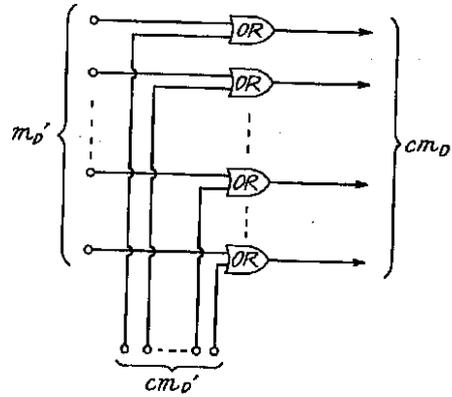
【図5】



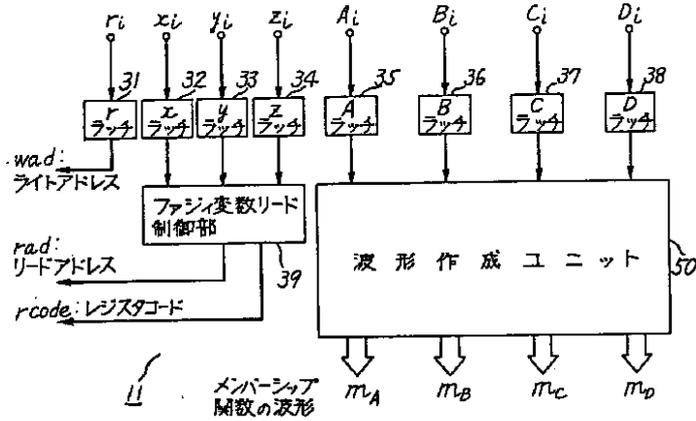
【図14】



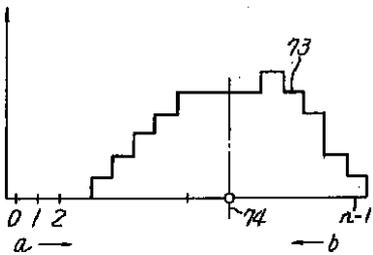
【図19】



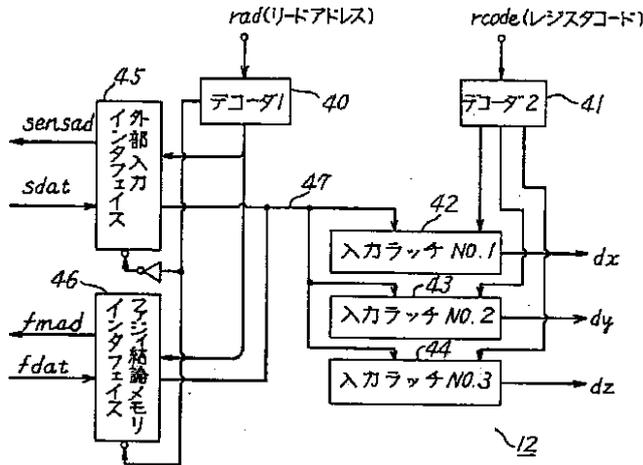
【図10】



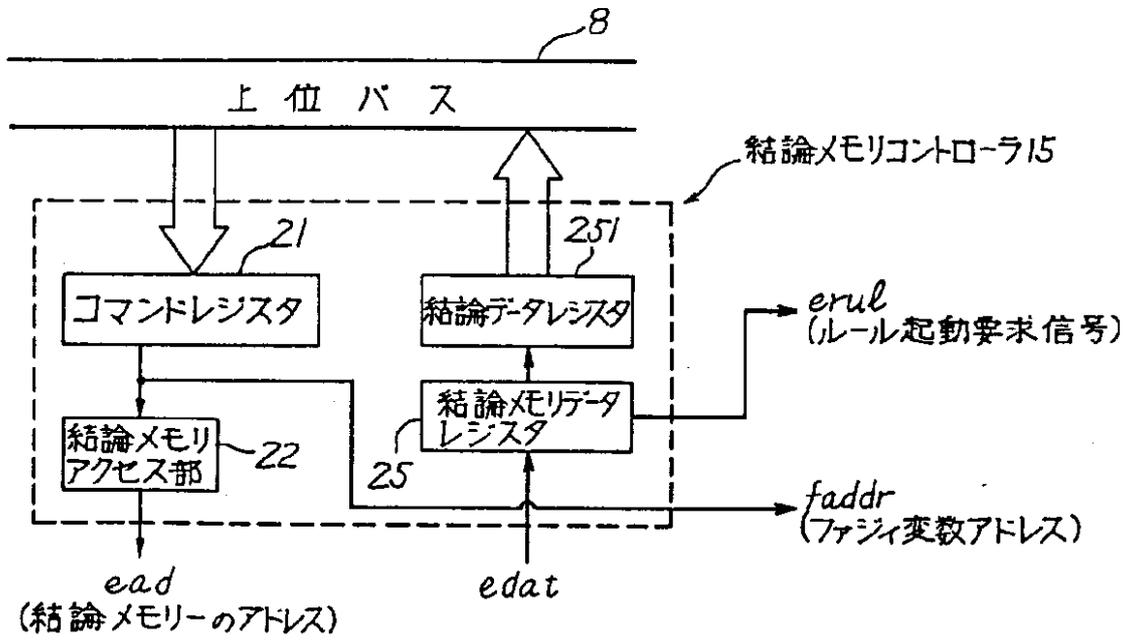
【図22】



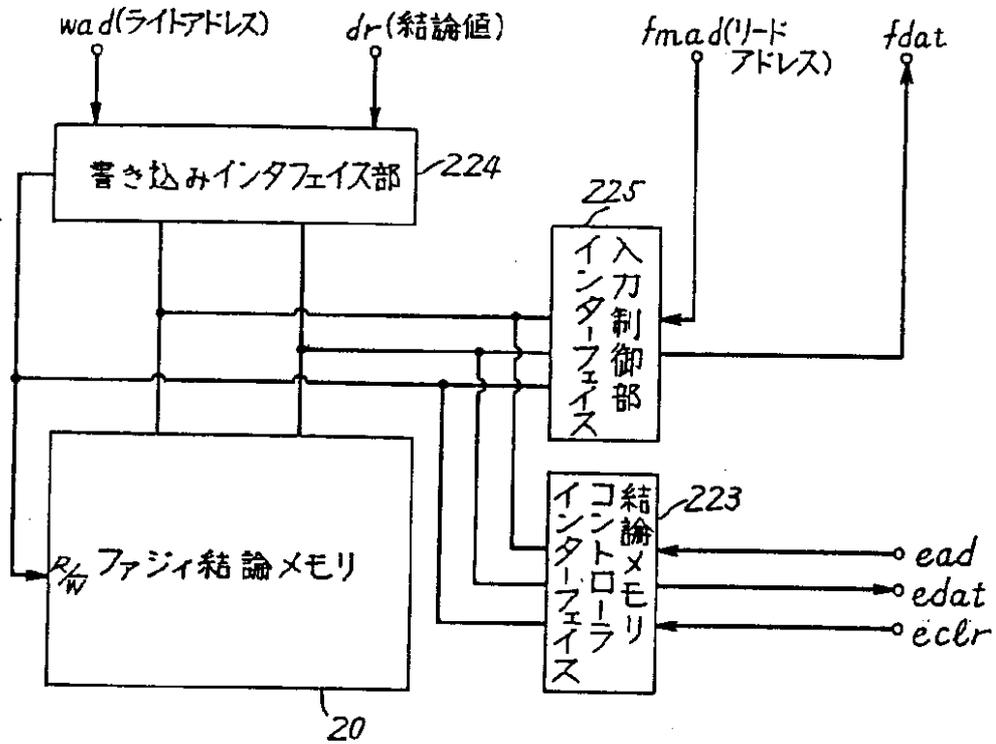
【図11】



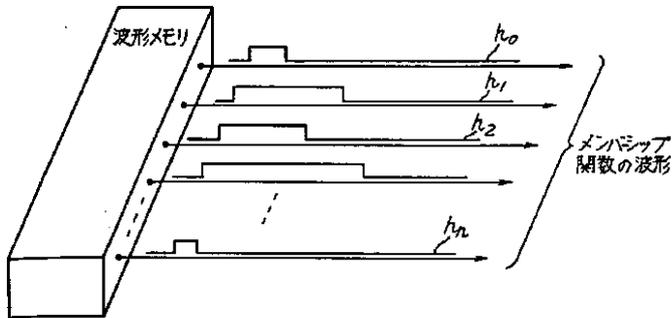
【図7】



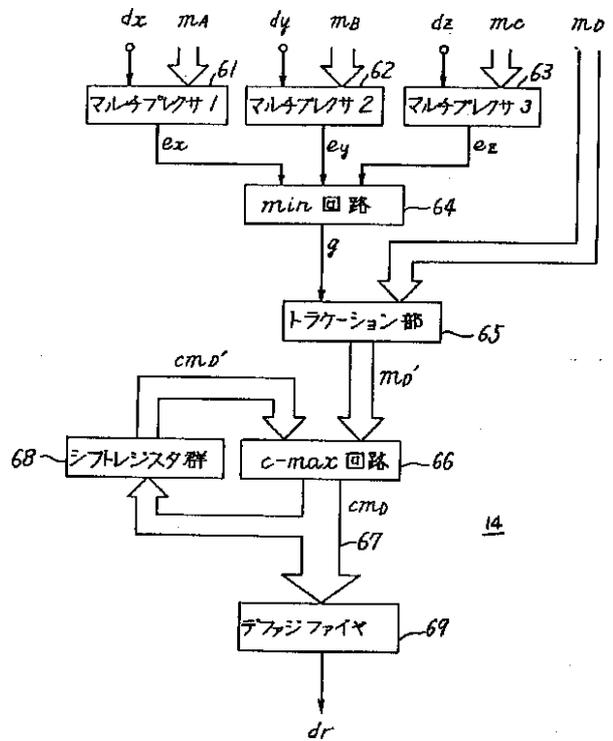
【図8】



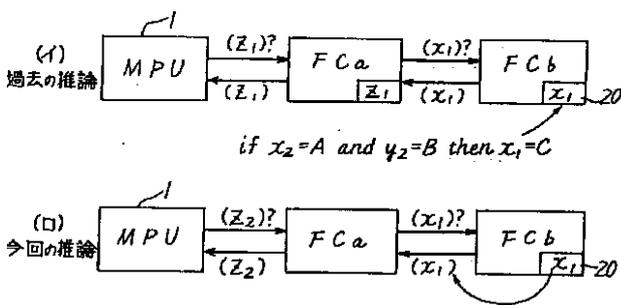
【図15】



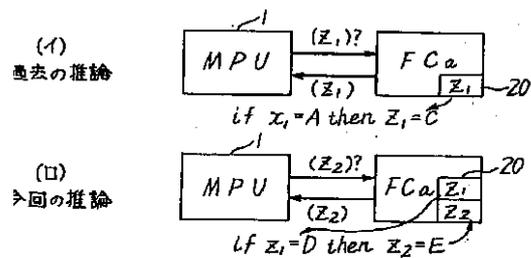
【図16】



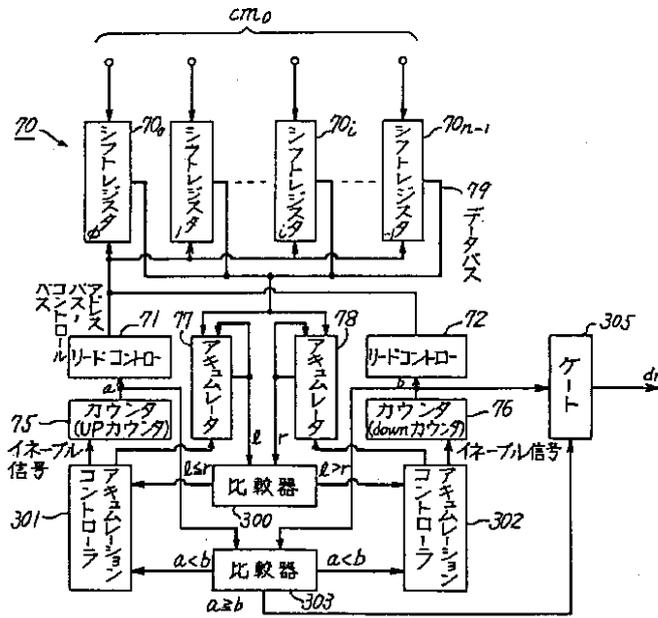
【図23】



【図24】



【図 2 0】



【図 2 1】

